Trabajo Práctico Número 8

Arquitectura de Computadoras 02/06/2026

Instrucciones

- Los ejercicios propuestos en el presente trabajo práctico pueden ser resueltos en forma individual o grupal.
- El planteo de la solución debe realizarse basándose en lo aprendido en las clases teóricas.
- Puede utilizar las clases de consulta para consultar ejercicios de enunciado y verificar la validez de la solución obtenida.
- Posteriormente, se tomará una evaluación con ejercicios similares a los de este práctico, la cual deberá ser resuelta en forma individual. La fecha de evaluación se encuentra en el sitio web de la materia.

Conceptos involucrados

- Memoria Virtual: páginas y marcos; direcciones virtuales y reales; fallos de página; algoritmos de reemplazo.
- Traducción de dirección virtual a dirección física: por software (Tablas de páginas) y por hardware (TLB, Translation Look-aside Buffer); fallos de TLB.
- Jerarquía de memorias: varios niveles de caché, TLB y memoria virtual trabajando juntos. TLB en paralelo con el caché de primer nivel.
- Jerarquía de memorias: tiempo medio de acceso a memoria; influencia en el CPI de un programa.

Problemas propuestos

1) Responda las siguientes preguntas teóricas, justificando la respuesta en todos los casos.
   a) ¿Puede afirmarse que si la memoria principal de un sistema es mayor a la requerida por los procesos que se ejecutan simultáneamente en el mismo, no es necesario contar con el sistema de memoria virtual? ¿Por qué?
   b) Si los procesos en ejecución en un sistema multitarea comparten la memoria, ¿cómo se evita que uno de los mismos modifique bloques de memoria que corresponden a alguno de los restantes?
   c) ¿Es posible que en un determinado momento se encuentren en ejecución 4 procesos que requieren 4 KiB de memoria cada uno, en un sistema que sólo cuenta con 8 KiB de memoria principal?
   d) ¿Cómo hace un programador para escribir un programa si no sabe a priori en que dirección física de memoria decidirá el sistema operativo ubicar el mismo?
   e) ¿Es cierto que al producirse un fallo de memoria virtual, el procesador no ejecuta ninguna instrucción de ningún proceso hasta que el fallo se resuelve?

2) *[Recomendado]* Un sistema de memoria virtual tiene un tamaño de página de 1024 palabras, ocho páginas virtuales y cuatro marcos de página cargados de la siguiente manera:

Marco	Página
0	6
1	1
2	4
3	0

   a) Haga una lista de los rangos de direcciones de memoria que provocarían fallo de página.
   b) Calcule la dirección real de memoria para las siguientes direcciones virtuales: 0, 3728, 1023, 1024, 1025, 7800 y 4096.

3) Considere un caché indexado virtualmente y etiquetado físicamente (VIPT) que posee 64 líneas o conjuntos de 256 bytes cada uno.

a) Si las páginas son de 4 KiB, ¿cuál es la mínima asociatividad que debería tener el caché para evitar problemas de alias?
b) Si el caché fuese de mapeo directo, ¿cuáles bloques podrían contener aliases para la dirección física 0x80007100?
c) Si el caché fuese asociativo por conjuntos de 2 vías, ¿cuál debería ser su tamaño máximo para evitar problemas de alias?

4) Dados los siguientes datos sobre el sistema de memoria de un procesador, se pide:

Datos	**Alpha 21264**
Dirección virtual	48 bits
Dirección física	41 bits
Tamaño de página	8 KiB
TLB	MD, 256 entradas
Caché L1	MD, 8 KiB, bloques de 64 B
Caché L2	MD, 4 MiB, bloques de 64 B

a) Indique en qué campos se descompone la dirección virtual, y los tamaños de cada uno de ellos.
b) Indique en qué campos se descompone la dirección física, y los tamaños de cada uno de ellos.
c) El caché de primer nivel, ¿es accedido con direcciones virtuales o reales?
d) Indique el tamaño de la etiqueta del TLB.
e) Indique el tamaño de una entrada completa del TLB.
f) Indique en qué campos se descompone la dirección del caché de segundo nivel.

5) *[Recomendado]* Sea un sistema de memoria virtual que usa páginas de 4 KiB, con un TLB asociativo puro de 4 entradas con política de reemplazo LRU. Los contenidos iniciales de la Tabla de Páginas y del TLB son los siguientes:

Validez	1	0	0	1	1	1	0	1	0	0	1	1
Marco	5			6	9	11		4			3	12

Validez	1	1	1	0
Etiqueta	11	7	3	4
Marco	12	4	6	9

Dada la siguiente secuencia de direcciones virtuales: 4095, 31272, 15789, 15000, 7193, 4096 y 8912, se pide:
a) Indique para cada una de las referencias a memoria si se produce un acierto en el TLB, un acierto en la tabla de páginas o un fallo de página. Muestre el estado final del TLB y de la tabla de páginas. Si es necesario traer páginas de disco, incremente el número más grande de marco.
b) Repita el apartado anterior, pero considerando esta vez que las páginas son de 16 KiB.
c) Indique qué ventajas y desventajas tiene el uso de páginas de mayor tamaño.

6) Suponiendo que un sistema accede al caché con direcciones físicas, o sea que antes de acceder al caché accede al TLB, indique si las siguientes situaciones pueden ocurrir simultáneamente. En caso afirmativo, indique cuán frecuentemente cree Ud. que ocurrirá y qué se debe hacer en ese caso.
a) Hay un fallo de TLB, el dato no está en el caché y tampoco en memoria principal.
b) Hay un acierto en el TLB, el dato está en el caché y en memoria principal.
c) Hay un acierto en TLB, el dato no está en el caché y tampoco en memoria principal.
d) Hay un fallo en TLB, el dato no está en el caché, pero sí en memoria principal.
e) Hay un acierto en TLB, el dato no está en el caché, pero sí en memoria principal.
f) Hay un fallo en TLB, el dato está en el caché pero no en memoria principal.

7) *[Recomendado]* Considere un procesador de 1 GHz con 2 niveles de caché, 1 nivel de DRAM y un disco para memoria virtual. El procesador posee un caché de nivel 1 para instrucciones y otro para datos. El sistema de memoria posee los siguientes parámetros:

Componente	Hit Time	Miss Rate	Block Size
Caché L1	1 ciclos	1.5 %	32 Bytes
Caché L2	7 ciclos + 1 ciclo / 32 bits	5 %	256 Bytes
DRAM	16 ns + 3 ns / 4 bytes	0.7 %	4 KiB
DISCO	8.5 ms + 5 ms / 512 bytes	0 %	4 KiB

Por último considere que el caché de nivel L1 trabaja con direcciones reales, es decir que primero se accede a un TLB que tiene un tiempo de acceso de 1 ciclo, que falla 0,1 % de las veces y que requiere una lectura de 4 bytes de la DRAM para actualizarse (estos accesos no pueden fallar).

a) ¿Cuál es el tiempo medio de acceso a memoria para instrucciones y para datos?
b) Suponiendo que todos los accesos a datos son lecturas, ¿cuánto es el CPI promedio de gcc?

8) Considere un sistema de memoria virtual capaz de direccionar bytes individuales, con una dirección virtual de 32 bits, el cual posee una TLB asociativa pura con el siguiente contenido

Etiqueta	Marco
$00123	$000508
$003F5	$30FB05
$00B23	$005003
$8203C	$0030A0

a) Indique el tamaño de página en bytes del sistema.
b) Indique la cantidad mínima de memoria RAM implementada en el sistema descrito.
c) Indique la cantidad máxima de memoria RAM que es posible implementar en este sistema.
d) Determine el tamaño máximo de un caché asociativo de dos vías que pueda operar en paralelo con esta TLB.

9) *[Profundización]* Erase una vez dos procesadores: Un Pentium IV y un Celeron, ambos tenían la misma arquitectura y operaban a una frecuencia 2 GHz y trabajaban con el siguiente sistema de memoria:

- Un disco rígido con un tiempo de acceso de 3 ms y un tiempo de transferencia de 1 ms por cada bloque de 512 bytes.
- Un sistema de memoria DRAM de 32 bits, con un tiempo de acceso de 5 ns para la primera palabra y 2 ns para cada acceso subsiguiente. Las páginas eran de 4 KiB, la tasa de fallo de la memoria principal era del 0,5 % y el 30 % de los recambios de páginas desalojaban páginas “sucias”.

Ambos procesadores compartían las siguientes características:

- Un caché L1 de instrucciones y un caché de datos separados, ambos con bloques de 32 bytes y un tiempo de acceso de 1 ciclo. La tasa de fallos era de 1 % para el caché de instrucciones y 2,5 % para el caché de datos.
- Un TLB que realizaba la traducción de direcciones virtuales a reales en paralelo con el acceso a los cachés de nivel uno. El mismo tenía un tiempo de acceso de 1 ciclo T, una tasa de acierto del 99,9 % para instrucciones y del 99 % para datos. En caso de fallo se requería una lectura de 4 bytes de la DRAM para actualizar el mismo, la cual no podía fallar (porque siempre está en memoria principal).

Lo único que los diferenciaba era que el Pentium IV tenía un caché de nivel dos unificado que el Celeron no. Las características de este caché eran las siguientes:

- Un caché unificado L2 con una latencia de 4 ciclos T, una tasa de transferencia de 64 bits por cada ciclo T, un tamaño de bloque de 128 bytes y una tasa de fallos del 2 %. La política de escritura era write-back y el 20 % de los bloques reemplazados estaban “sucios”.

Dado el siguiente programa de prueba:

Tipo de Instrucción	Proporción	CPI Ideal
Aritméticas Enteras	40 %	1,7 T
Punto Flotante	15 %	9,6 T
Transferencias de Datos	25 %	2,8 T
Saltos	20 %	4,5 T

Se pide:

a) Explique qué condición debe cumplirse para que pudiera accederse al caché L1 y al TLB en paralelo.
b) Calcule el CPI del programa de prueba corriendo en el Celeron.
c) Calcule el CPI del programa de prueba corriendo en el Pentium IV.
d) Indique cuál de los procesadores era más rápido y por cuánto.
e) Actualmente es muy difícil encontrar dos procesadores que compartan todas las características excepto por el segundo nivel de caché. ¿Por qué piensa usted que ocurre esto?

10) Suponga un procesador de 1 GHz con 2 niveles de caché, 1 nivel de DRAM y un disco para memoria virtual. El procesador posee un caché de nivel 1 para instrucciones y otro para datos. El sistema de memoria posee los siguientes parámetros:

Componente	Tiempo de Acierto	Tasa de fallos	Tamaño de Bloque	Penalidad
Caché L1	1T	2 %	32 Bytes	15664T
Caché L2	17T + 1T / 32 bits	6.25 %	128 Bytes	250224T
DRAM	65ns + 10ns / 4 bytes	1 %	4 KiB	$25*10^6$T

Considere que el caché de nivel L1 trabaja con direcciones reales, es decir que primero se accede a un TLB que tiene un tiempo de acceso de 1 ciclo, falla 0,1 % de las veces y requiere una lectura de 4 bytes de la DRAM para actualizarse. Indique cuál de las siguientes opciones es la única correcta:

a) El tiempo medio de acceso a memoria del caché L2 es de 25 T.
b) El tiempo medio de acceso a memoria del caché L2 es de 1004 T.
c) El tiempo medio de acceso a memoria del caché L2 es de 15664 T.
d) El tiempo medio de acceso a memoria del caché L2 es de 564 T.

Ejercicio a Desarrollar en Clase Práctica

Problema 2 del segundo parcial de 2017

11) Se tiene un sistema con las siguientes características:

- Un procesador segmentado, en el que las etapas de mayor duración son las de acceso a memoria.
- Un programa que cuenta con 2 millones de instrucciones, con un CPI de 2,3 sin considerar la jerarquía de memoria, y 1,3 referencias a memoria por instrucción. No se generan fallos de página.
- Memoria virtual con direcciones virtuales de 48 bits, direcciones físicas de 40 bits y páginas de 4 KiB.
- Memoria principal con un tiempo de acceso de 80 ns para transferir un bloque completo.
- Cachés L1 para datos y para instrucciones, cada uno de 16 KiB, asociativos por conjuntos de 2 vías, con bloques de 64 bytes y algoritmo de reemplazo LRU. El tiempo de acierto es de 500 ps y la tasa de fallos es de 1 % para instrucciones y 4 % para datos.
- Un caché L2 unificado, de 1 MiB, asociativo por conjuntos de 16 vías, con bloques de 64 bytes y algoritmo de reemplazo LRU, tiempo de acierto de 7 ns y tasa de fallos local de 50 %. Es de tipo write back, y la probabilidad de que el bloque que se vaya a reemplazar haya sido modificado es del 15 %.
- Un TLB asociativo puro de 40 entradas, con un tiempo de acierto de 200 ps, una penalidad en caso de fallo de 20 ns, y una tasa de fallos de 0,5 %.

Sobre este sistema se pide que responda las siguientes preguntas:

a) ¿Cuántos bits tiene el campo índice del caché L1 de instrucciones?
b) ¿Cuál será la frecuencia de trabajo del procesador?
c) Calcule el tiempo de ejecución del programa considerando la jerarquía de memoria.
d) Se desea mejorar la performance del apartado anterior realizando modificaciones a L1. Evalúe las siguientes alternativas, e indique cuál de ellas mejora más la performance, justificando su respuesta:
   i) Duplicar el tamaño de L1, manteniendo la asociatividad. Esta alternativa aumenta el tiempo de acierto a 520 ps y disminuye la tasa de fallos a 0,7 % para instrucciones y 2,8 % para datos.
   ii) Mantener el tamaño, duplicando la asociatividad. Esta alternativa aumenta el tiempo de acierto a 540 ps y disminuye la tasa de fallos a 0,9 % para instrucciones y 3,3 % para datos.
   iii) Mantener el tamaño, disminuyendo la asociatividad. Esta alternativa disminuye el tiempo de acierto a 400 ps, pero aumenta la tasa de fallos a 1,3 % para instrucciones y 4,5 % para datos.

Soluciones propuestas

1) ...

2)
   a) Las direcciones desde el 2048 al 4095, desde el 5120 al 6143 y desde el 7168 al 8191.
   b) Las direcciones reales son: 3072, Fallo, 4095, 1024, 1025, Fallo y 2048, respectivamente.

3)
   a) Al menos 4 vías.
   b) Los bloques 1, 17 y 33.
   c) 8 KiB como máximo.

4)
   a) Número de página (35 bits) y Offset de página (13 bits).
   b) Número de marco (28 bits) y Offset de página (13 bits).
   c) Direcciones virtuales.
   d) 27 bits.
   e) 59 bits.
   f) Etiqueta (19 bits), Índice (16 bits) y desplazamiento dentro del bloque (6 bits).

5)
   a) Las referencias producen respectivamente: un acierto en la tabla de páginas, un acierto en el TLB, un acierto en el TLB, un acierto en el TLB, un acierto en el TLB, un fallo de página, un acierto en el TLB y un fallo de página.
   b) Las referencias producen respectivamente: un acierto en la tabla de páginas, un fallo de página, y el resto son aciertos en el TLB.
   c) Menor cantidad de fallos de página, pero penalidades mucho mayores.

6)
   a) POSIBLE – comúnmente.
   b) POSIBLE – comúnmente, situación buscada.
   c) IMPOSIBLE.
   d) POSIBLE - Mayor frecuencia.
   e) POSIBLE - Poco común.
   f) IMPOSIBLE.

7)
   a) AMAT = 257 T
   b) CPI = 341,735 T

8)
   a) 4 KiB.
   b) 16 GiB.
   c) 64 GiB.
   d) 8 KiB.

9)
   a) ...
   b) $CPI_{Celeron}$ = 2328,12 T
   c) $CPI_{Pentium}$ = 59,71 T
   d) El Pentium IV es 39 veces más rápido que el Celeron.
   e) ...

10) ...